

**Semiconductor memory device with high dielectric capacitor structure**

Patent Number: ☐ [US5436477](#)  
Publication date: 1995-07-25  
Inventor(s): HASHIZUME YASUSHI (JP); SHINKAWATA HIROKI (JP)  
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)  
Requested Patent: ☐ [JP7099291](#)  
Application Number: US19940262116 19940617  
Priority Number(s): JP19930153706 19930624; JP19940099807 19940513  
IPC Classification: G11C11/22  
EC Classification: [H01L27/108F2](#)  
Equivalents: JP3319869B2, KR216275

---

**Abstract**

---

Transfer gate transistors are formed on a main surface of a semiconductor substrate. The transfer gate transistors have impurity regions for serving as source/drain regions. A first interlayer insulating film having a substantially flat upper surface is formed to cover the transfer gate transistors. The first interlayer insulating film is provided with contact holes reaching the impurity regions. Plugs are formed in the contact holes. Capacitors are only formed on the flat upper surface of the first interlayer insulating film. Lower electrodes of the capacitors and the plugs are electrically connected with each other through barrier layers. Thus, it is possible to improve capacitances of capacitors in a DRAM.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99291

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/108  
21/28

識別記号

庁内整理番号

F I

技術表示箇所

L 7376-4M

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21) 出願番号 特願平6-99807

(22) 出願日 平成6年(1994)5月13日

(31) 優先権主張番号 特願平5-153706

(32) 優先日 平5(1993)6月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋詰 靖之

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72) 発明者 新川田 裕樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

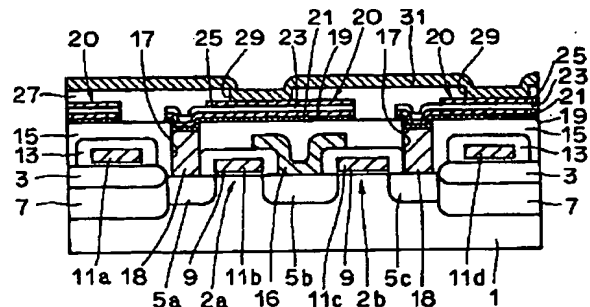
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 DRAMにおけるキャパシタ容量を増大させる。

【構成】 半導体基板1の主表面にはトランスファークゲートトランジスタ2a、2bが形成されている。トランスファークゲートトランジスタ2a、2bはソース/ドレイン領域となる不純物領域5a、5b、5cを有している。トランスファークゲートトランジスタ2a、2bを覆うようにほぼ平坦な上面を有する第1の層間絶縁膜15が形成されている。第1の層間絶縁膜15には、不純物領域5a、5cに達するコンタクトホール17が設けられている。コンタクトホール17内にはプラグ18が形成されている。キャパシタ20は、コンタクトホール17が形成されていない第1の層間絶縁膜15の上面上の領域に形成されている。キャパシタ20の下部電極21とプラグ18とが、バリア層19を介して電氣的に接続されている。



1:半導体基板 2a,2b:トランスファークゲートトランジスタ 5a,5b,5c:不純物領域  
15:第1の層間絶縁膜 18:プラグ 19:バリア層 20:キャパシタ  
21:下部電極 23:誘電体膜 25:上部電極 17:コンタクトホール

## 【特許請求の範囲】

【請求項 1】 主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上に形成された第 2 導電型の不純物領域と、

前記半導体基板の主表面上に形成され、前記不純物領域の表面に達するコンタクトホールを有する層間絶縁膜と、

前記コンタクトホール上を除く前記層間絶縁膜の上面上にのみ形成され、第 1 の電極と前記第 1 の電極上に形成された高誘電率材料からなる高誘電体膜と、前記高誘電体膜上に形成された第 2 の電極とを含むキャパシタと、少なくとも前記コンタクトホール内に形成され、前記第 1 あるいは前記第 2 の電極と前記不純物領域とを電氣的に接続するための導体部と、  
を備えた半導体記憶装置。

【請求項 2】 前記第 1 の電極は、Ir, Pt, Pd, Rh, Ni, W, Pt 合金, Pd 合金, Rh 合金, Ni 合金, W 合金, RuO<sub>2</sub>, ReO<sub>2</sub>, SrRuO<sub>3</sub> からなる群から選ばれる少なくとも 1 種以上の材質からなる、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記高誘電体膜は、ペロブスカイト型の結晶構造を有する多結晶膜である、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記導体部は前記コンタクトホール内に埋込まれたプラグ電極を含み、

前記高誘電体膜および前記第 1 の電極は前記プラグ電極上にまで延在し、

前記第 2 の電極は前記コンタクトホール上を除く前記高誘電体膜上に形成される、請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記第 2 の電極上には前記第 2 の電極の表面に達する第 2 のコンタクトホールを有する第 2 の層間絶縁膜が形成され、

前記コンタクトホールは前記第 2 の層間絶縁膜をも貫通し、

前記導体部は、前記コンタクトホール内に埋込まれたプラグ電極と、前記プラグ電極上面上から前記第 2 のコンタクトホール内に位置する前記第 2 の電極表面上に延在する配線層とを含む、請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記導体部と前記第 2 の電極とは一体化される、請求項 1 に記載の半導体記憶装置。

【請求項 7】 第 1 導電型の半導体基板の主表面に第 2 の導電型の不純物領域を形成する工程と、

前記半導体基板の主表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記不純物領域の表面に達するコンタクトホールを形成する工程と、

前記コンタクトホール内にプラグ電極を形成する工程

と、

前記プラグ電極上および前記層間絶縁膜上に、第 1 の電極、高誘電率材料からなる高誘電体膜および第 2 の電極を順次形成する工程と、

前記第 2 の電極において前記コンタクトホール上に位置する部分を除去する工程と、

を備えた半導体記憶装置の製造方法。

【請求項 8】 第 1 導電型の半導体基板の主表面に第 2 導電型の不純物領域を形成する工程と、

10 前記半導体基板の主表面上に第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜上に、第 1 の電極と高誘電率材料からなる高誘電体膜と第 2 の電極との積層構造を形成する工程と、

前記積層構造を覆うように前記第 1 の層間絶縁膜上に第 2 の層間絶縁膜を形成する工程と、

前記第 1 および第 2 の層間絶縁膜を貫通し前記不純物領域に達する第 1 のコンタクトホールを形成する工程と、

20 前記第 2 の層間絶縁膜に前記第 2 の電極表面に達する第 2 のコンタクトホールを形成する工程と、

前記第 1 と第 2 のコンタクトホール内に形成され、前記第 2 の電極と前記不純物領域とを電氣的に接続する導体部を形成する工程と、

を備えた半導体記憶装置の製造方法。

【請求項 9】 第 1 導電型の半導体基板の主表面に第 2 導電型の不純物領域を形成する工程と、

前記半導体基板の主表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜上に第 1 の電極と高誘電率材料からなる高誘電体膜とを順次積層する工程と、

前記層間絶縁膜に前記不純物領域に達するコンタクトホールを形成する工程と、

前記コンタクトホール内から前記高誘電体膜表面上に延在する導体部を形成する工程と、

を備えた半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置およびその製造方法に関し、特に、記憶情報のランダムな入出力が可能な DRAM (Dynamic Random Access Memory) の構造およびその製造方法に関するものである。

【0002】

【従来の技術】従来から、半導体記憶装置のうち記憶情報のランダムな入出力が可能なものとして、DRAM (Dynamic Random Access Memory) が知られている。一般に DRAM は、多数の情報を蓄積する記憶領域であるメモリセルアレイ部と、外部との入出力に必要な周辺回路部とを有している。

【0003】図 29 は、一般的な DRAM の構成を示すブロック図である。図 29 を参照して、DRAM 150

は、記憶情報を蓄積するためのメモリセルアレイ151と、単位記憶回路を構成するメモリセルを選択するためのアドレス信号を外部から受取るためのロウアンドカラムアドレスバッファ152と、そのアドレス信号を解読することによってメモリセルを指定するためのロウデコーダ153およびカラムデコーダ154と、指定されたメモリセルに蓄積された信号を増幅して読出するためのセンスリフレッシュアンプ155と、データ入出力のためのデータインバッファ156およびデータアウトバッファ157と、クロック信号を発生するためのクロックジェネレータ158とを備えている。

【0004】半導体チップ上で大きな面積を占めるメモリセルアレイ151には、単位記憶情報を蓄積するためのメモリセルがマトリクス状に複数個配置されている。通常、メモリセルは、1個のMOSTランジスタと、これに接続された1個のキャパシタとから構成されている。このようなメモリセルは、1トランジスタ1キャパシタ型のメモリセルとして広く知られている。このような構成を有するメモリセルは構造が簡単のためメモリセルアレイの集積度を向上させることが容易となり、大容量のDRAMに広く用いられている。

【0005】また、DRAMのメモリセルは、キャパシタの構造によっていくつかのタイプに分類することができる。そのキャパシタ構造の一例として、スタックタイプキャパシタを挙げることができる。このスタックタイプキャパシタは、キャパシタの主要部をゲート電極やフィールド酸化膜の上部にまで延在させる類のキャパシタである。それにより、キャパシタの電極間の対向面積を増大させている。

【0006】その結果、キャパシタ容量を増大させることができる。スタックタイプキャパシタは、このような特徴を有しているため、半導体装置の集積化に伴い素子が微細化された場合にもキャパシタ容量を確保することが可能となる。そのため、半導体装置の集積化に伴ってスタックタイプキャパシタが多く用いられるようになった。

【0007】しかしながら、素子がさらに微細化され、たとえば256MbitのDRAMなどにおいては、スタックタイプキャパシタを使用したとしてももはや一定のキャパシタ容量を確保することが困難となる。

【0008】そこで、キャパシタ容量を増大させるため、キャパシタの誘電体膜としてPZT（チタン酸ジルコン酸鉛セラミック）などの高誘電体膜を使用する試みがなされている。図21には、キャパシタの誘電体膜として上記のPZTなどの高誘電体膜を使用した場合のDRAMの一例が示されている。

【0009】図30を参照して、p型半導体基板101の主表面における素子分離領域には、間隔を隔ててフィールド酸化膜103が形成されている。このフィールド酸化膜103の下面には、チャネルストッパ層107が

形成されている。

【0010】半導体基板101の主表面における素子形成領域には、トランスファージゲートトランジスタ102a、102bが形成されている。トランスファージゲートトランジスタ102aは、ソース/ドレイン領域となる不純物領域105a、105bと、ゲート電極111bを有している。また、トランスファージゲートトランジスタ102bは、ソース/ドレイン領域となる不純物領域105b、105cと、ゲート電極111cとを有している。

【0011】ゲート電極111b、111cは、ゲート絶縁膜109を介して、半導体基板101の主表面上に形成されている。一方、フィールド酸化膜103上にも、ゲート電極111a、111dがそれぞれ形成されている。

【0012】ゲート電極111a、111b、111c、111dを覆うように酸化膜113が形成されている。不純物領域105b表面上から酸化膜113表面上にまで延在するように埋込みビット線116が形成されている。この埋込みビット線116および酸化膜113を覆うように平坦化処理の施された第1の層間絶縁膜115が形成されている。

【0013】この第1の層間絶縁膜115には、不純物領域105a、105c表面にまで達するコンタクトホール117が形成されている。このコンタクトホール117内には、多結晶シリコンなどからなるプラグ118が形成されている。層間絶縁膜115上には、キャパシタ120が形成される。キャパシタ120は、白金(Pt)などからなる下部電極121と、高誘電体膜123と、白金(Pt)などからなる上部電極125とを有している。

【0014】プラグ118上面から第1の層間絶縁膜115上にわたって、TiNなどからなるバリア層119が形成されている。このバリア層119上にキャパシタ120の下部電極121が形成されることになる。このバリア層119を有することによって、キャパシタの下部電極材料とプラグ118材料との相互拡散を阻止することが可能となる。

【0015】キャパシタ120を覆うように、第2の層間絶縁膜127が形成される。この第2の層間絶縁膜127において、キャパシタの上部電極125上に位置する部分にコンタクトホール129が設けられている。このコンタクトホール129内表面および第2の層間絶縁膜127上には、アルミニウム(Al)などからなる配線層131が形成されている。

【0016】次に、図31を用いて、図30に示される従来のDRAMにおけるキャパシタ120とプラグ118との位置関係について説明する。図31は、キャパシタ120とプラグ118との位置関係を模式的に示す平面図である。なお、本明細書において、キャパシタ(1

20)とは、下部電極(121)と、高誘電体膜(123)と、上部電極(125)との積層構造を有することによって、実質的にキャパシタとして機能する部分と言うものとする。また、図31におけるXXX-XXX線に沿う断面が図30に示される断面に対応する。

【0017】図31を参照して、従来のDRAMにおいては、プラグ118とキャパシタ120とが平面的にみて重なり合う位置関係となっている。

【0018】次に、図32～図41を用いて、図21に示される従来のDRAMの製造工程について説明する。10 図32～図41は、従来のDRAMの製造工程の第1工程～第10工程を示す部分断面図である。

【0019】まず図32を参照して、p型半導体基板101の主表面における素子分離領域に、選択酸化法などを用いてフィールド酸化膜103を形成する。このとき、フィールド酸化膜103の形成に際して予めp型の不純物を素子分離領域に導入しておくことによって、フィールド酸化膜3の形成と同時にチャンネルストップ層107を形成する。

【0020】次に、半導体基板101の主表面上に、熱酸化法などを用いてゲート絶縁膜109を形成する。このゲート絶縁膜109上にゲート電極111a、111b、111c、111dを形成する。このゲート電極111a、111b、111c、111dをマスクとして用いて、半導体基板101の主表面にn型の不純物を導入することによって、不純物領域105a、105b、105cを形成する。次に、ゲート電極111a、111b、111c、111dを覆うように酸化膜113を形成する。

【0021】次に、図33を参照して、CVD法などを用いて、多結晶シリコンなどからなる導電層116aを形成する。次に、図34を参照して、上記の導電層116aをパターンニングすることによって、不純物領域105b上に埋込ビット線116を形成する。次に、CVD法などを用いて、埋込ビット線116および酸化膜113を覆うように第1の層間絶縁膜115を形成する。そして、この第1の層間絶縁膜115に熱処理を施すことによって平坦化を行なう。

【0022】次に、図35を参照して、第1の層間絶縁膜115において、不純物領域105a、105c上に位置する領域に、コンタクトホール117を形成する。次に、図36を参照して、CVD法などを用いて、コンタクトホール117内表面および第1の層間絶縁膜115上に、多結晶シリコンなどからなる導電層118aを形成する。

【0023】次に、図37を参照して、ドライエッチング法を用いて、導電層118aをエッチバックする。それにより、プラグ118が形成される。このとき、第1の層間絶縁膜115上面において、図示しない箇所の段差部に導電層118aの残渣が残らないようにオーバー

エッチングを行なう。そのため、プラグ118の上面は、コンタクトホール117内に埋没した状態となっている。

【0024】次に、図38を参照して、スパッタリング法などを用いて、プラグ118上および第1の層間絶縁膜115上に、TiN、Ta、Ti/TiN/Tiなどからなるバリア層119を堆積する。このバリア層119上に、スパッタリング法などを用いて、白金(Pt)などからなる下部電極121を形成する。この下部電極121上に、約550℃以下の温度で、スパッタリング法などを用いて、SrTiO<sub>3</sub>などからなる高誘電体膜123を形成する。この高誘電体膜123上に、再びスパッタリング法などを用い、白金(Pt)などからなる上部電極125を形成する。

【0025】次に、図39を参照して、上部電極125上に、キャパシタの形状にパターンニングされたレジストパターン140を形成する。このレジストパターン140をマスクとして用いてエッチングすることによって、図39に示されるように、キャパシタ120が形成される。

【0026】次に、図40を参照して、キャパシタ120を覆うように、CVD法などを用いて、第2の層間絶縁膜127を形成する。そして、図41に示されるように、第2の層間絶縁膜127において、キャパシタ120の上部電極125上に位置する部分にコンタクトホール129を形成する。そして、このコンタクトホール129内表面および第2の層間絶縁膜127上に、スパッタリング法などを用いて、アルミニウム(Al)などからなる配線層131を形成する。以上の工程を経て図21に示されるDRAMが形成される。

【0027】

【発明が解決しようとする課題】上記のDRAMにおけるキャパシタは、高誘電体膜を有しているため、キャパシタ容量を増大することは可能となる。しかし、上記の従来のDRAMには、次に説明するような問題点があった。その問題点について図42を用いて説明する。図42は、従来のDRAMにおけるキャパシタ120とプラグ118との接続部分を拡大した断面図である。

【0028】図42を参照して、上述のように、プラグ118材料が第1の層間絶縁膜115上に残余するのを防止するためにオーバーエッチングを行なうので、プラグ118の上面はコンタクトホール117内に埋没した状態となっている。それにより、第1の層間絶縁膜115の上面115aとプラグ118上面との間に段差部が形成されることになる。

【0029】このプラグ118の上面上から第1の層間絶縁膜115の上面115a上にわたってバリア層119、下部電極121、高誘電体膜123および上部電極125がそれぞれ形成される。バリア層119、下部電極121、高誘電体膜123および上部電極125は、

上述のように、主にスパッタリング法によって形成される。特に高誘電体膜123については、CVD法では所望の膜特性を得ることが困難であるため、スパッタリング法によって形成されている。

【0030】一般に、スパッタリング法によって形成された層は、段差の被覆性が悪い。そのため、バリア層119、下部電極121、高誘電体膜123および上部電極125において、段差部で局所的に膜厚の薄いところが存在する。

【0031】たとえば、高誘電体膜123についてみれば、図42に示されるように、第1の層間絶縁膜115の上面115a上に位置する高誘電体膜123の膜厚が $t$ であるのに対して、段差部においては、高誘電体膜123の膜厚は、 $t$ よりも薄い $t_1$ となっている。高誘電体膜123において、このように局所的に薄い部分が存在することによって次のような問題点が生じることになる。

【0032】高誘電体膜123の膜厚は、漏れ電流、耐圧などの点から薄くできる下限値が決められてしまう。すなわち、キャパシタ120内においては、高誘電体膜123の膜厚が最も薄い部分でもこの下限値以上の膜厚を有するように、その膜厚を決定する必要がある。

【0033】ここで、膜厚の下限値が $a$  Åである高誘電体膜123を用い、段差部における高誘電体膜123の膜厚 $t_1$ が、第1の層間絶縁膜115の上面115aにおける高誘電体膜123の膜厚 $t$ の約 $1/2$ になるものと仮定する。この場合には、第1の層間絶縁膜115の上面115aにおける高誘電体膜123の膜厚 $t$ を、 $(2 \times a)$  Å以上にする必要がある。

【0034】一方、記憶を担う蓄積電荷量は、誘電体膜厚の逆数に比例する。したがって、誘電体膜厚が薄い方が蓄積電荷量は増大する。すなわち、キャパシタ容量が増大することになる。しかし、上記の場合には、キャパシタ120の大部分において高誘電体膜123の膜厚を約2倍にしたために、蓄積電荷量が約半分と小さくなってしまふ。すなわち、結果として、キャパシタ容量が小さくなるといった問題点があった。

【0035】この発明は、上記の問題点を解決するためになされたものであり、キャパシタ内で高誘電体膜の膜厚をほぼ均一にその下限膜厚にすることによって、キャパシタ容量を増大させることが可能となる半導体記憶装置およびその製造方法を提供することを目的とする。

【0036】

【課題を解決するための手段】この発明に従う半導体記憶装置は、主表面を有する第1導電型の半導体基板と、第2導電型の不純物領域と、層間絶縁膜と、キャパシタと、導体部とを備える。第2導電型の不純物領域は半導体基板の主表面上に形成される。層間絶縁膜は、半導体基板の主表面上に形成され、不純物領域の表面に達するコンタクトホールを有する。キャパシタは、第1の電極

と、この第1の電極上に形成された高誘電率材料からなる高誘電体膜と、この高誘電体膜上に形成された第2の電極とを含む。このキャパシタは、コンタクトホール上を除く層間絶縁膜の上面の上にのみ形成される。導体部は、少なくともコンタクトホール内に形成され、第1あるいは第2の電極と不純物領域とを電気的に接続する。

【0037】この発明に従う半導体記憶装置の製造方法によれば、1つの局面では、まず第1導電型の半導体基板の主表面に第2導電型の不純物領域を形成する。半導体基板の主表面上に層間絶縁膜を形成する。この層間絶縁膜に不純物領域の表面に達するコンタクトホールを形成する。コンタクトホール内にプラグ電極を形成する。プラグ電極上および層間絶縁膜上に、第1の電極、高誘電率材料からなる高誘電体膜および第2の電極を順次形成する。第2の電極においてコンタクトホール上に位置する部分を除去する。

【0038】この発明に従う半導体記憶装置の製造方法によれば、他の局面では、まず第1導電型の半導体基板の主表面に第2導電型の不純物領域を形成する。半導体基板の主表面上に第1の層間絶縁膜を形成する。この第1の層間絶縁膜上に、第1の電極と高誘電率材料からなる高誘電体膜と第2の電極との積層構造を形成する。この積層構造を覆うように第1の層間絶縁膜上に第2の層間絶縁膜を形成する。第1および第2の層間絶縁膜を貫通し不純物領域に達する第1のコンタクトホールを形成する。第2の層間絶縁膜に第2の電極表面に達する第2のコンタクトホールを形成する。第1と第2のコンタクトホール内に形成され、第2の電極と不純物領域とを電気的に接続する導体部を形成する。

【0039】この発明に従う半導体記憶装置は、さらに他の局面では、まず第1導電型の半導体基板の主表面に第2導電型の不純物領域を形成する。半導体基板の主表面上に層間絶縁膜を形成する。この層間絶縁膜上に、第1の電極と高誘電率材料からなる高誘電体膜とを順次積層する。層間絶縁膜に不純物領域に達するコンタクトホールを形成する。コンタクトホール内から高誘電体膜表面上に延在する導体部を形成する。

【0040】

【作用】この発明に従う半導体記憶装置によれば、第2の電極は、層間絶縁膜上においてコンタクトホールが形成されていないほぼ平坦な領域上に形成される。その結果、キャパシタとして実質的に機能する、第1の電極と高誘電体膜と第2の電極との積層構造は、層間絶縁膜上においてコンタクトホールが形成されていないほぼ平坦な領域上にのみ形成されることになる。

【0041】それにより、キャパシタ内において、高誘電体膜の下地となる第1の電極の表面は、ほぼ平坦なものとなる。それにより、キャパシタ内において、高誘電体膜において従来のように局所的に膜厚が薄くなる部分が形成されなくなる。その結果、キャパシタ全体で高誘

電体膜の膜厚をほぼ均一にその下限膜厚に設定することが可能となる。

【0042】そのため、従来のように、高誘電体膜において局所的に薄膜化する部分の膜厚を下限膜厚と設定する必要がなくなる。その結果、従来に比べて、高誘電体膜の膜厚を薄くすることが可能となる。それにより、キャパシタ自体の平面的な面積は従来よりも少し小さくなるが、結果として従来よりもキャパシタ容量を増大させることが可能となる。

【0043】この発明に従う半導体記憶装置の製造方法によれば、1つの局面では、第1の電極と高誘電体膜と第2の電極とを順次形成した後に、第2の電極において電極のコンタクトホール上に位置する部分を除去している。それにより、コンタクトホール上を除く層間絶縁膜上面上のみキャパシタが形成されることになる。そのため、キャパシタ内における高誘電体膜の下地となる第1の電極の表面をほぼ平坦にすることが可能となる。それにより、キャパシタ内において、高誘電体膜の厚みを、ほぼ均一にその下限値に設定することが可能となる。その結果、キャパシタ容量の増大した半導体記憶装置が得られる。

【0044】この発明に従う半導体記憶装置の製造方法によれば、他の局面では、上述の1つの局面の場合と同様の作用効果が得られることに加えて、次のような作用効果も得られる。この局面においては、高誘電体膜の形成の後に導体部を形成することが可能となる。それにより、高誘電体膜の膜質を向上させることが可能となる。その理由について以下に詳しく説明する。

【0045】高誘電体膜は600℃程度以上の高温で形成することによって、その誘電率などの特性は優れたものとなる(図28参照)。しかし、導体部の形成の後に高誘電体膜を上記のような600℃以上の高温で形成した場合には、第1の電極と導体部との反応や第1の電極を酸素が透過することによる導体部の酸化などの現象が引き起こされる可能性が高くなる。そのため、導体部の形成後に高誘電体膜を形成していた従来例においては、高誘電体膜の形成温度を約550℃程度以下に低く設定する必要があった。それに対し、導体部を高誘電体膜の形成の後に形成することによって、上述のような問題が生じない。それにより、高誘電体膜を600℃程度以上の高温で形成することが可能となる。そのため、高誘電体膜の誘電率などの特性を向上させることが可能となる。その結果、キャパシタ容量が増大し、かつ信頼性の高い半導体記憶装置が得られることになる。

【0046】この発明に従う半導体記憶装置の製造方法によれば、さらに他の局面では、上記の他の局面の場合と同様の効果が得られることに加えて、次のような作用効果をも得られる。この局面においては、キャパシタの第2の電極と導体部とを同一の工程で形成することが可能となる。それにより、製造工程を簡略化することが可

能となる。

【0047】

【実施例】以下、この発明に基づく実施例について図1～図28を用いて説明する。

【0048】(第1実施例)以下、図1～図8を用いて、この発明に基づく第1の実施例について説明する。図1は、この発明に基づく第1の実施例におけるDRAMのメモリセルアレイ部を示す部分断面図である。図2は、本実施例におけるプラグ18とキャパシタ20の上部電極25との配置関係を模式的に示す平面図である。図3は、本実施例におけるキャパシタ20を拡大した断面図である。

【0049】上記の3つの図を用いて、まずこの発明に基づく第1の実施例におけるDRAMの構造について説明する。図1を参照して、p型半導体基板1の主表面における素子分離領域には、間隔を隔ててフィールド酸化膜3が形成されている。このフィールド酸化膜3下にはチャネルストッパ層7が形成されている。

【0050】p型半導体基板1の主表面における素子形成領域には、トランスファークゲートトランジスタ2a、2bがそれぞれ形成されている。トランスファークゲートトランジスタ2aは、半導体基板1の主表面に間隔を隔てて形成されたn型の不純物領域5a、5bと、この不純物領域5a、5b間のチャネル領域上にゲート絶縁膜9を介在して形成されたゲート電極11bを有している。

【0051】トランスファークゲートトランジスタ2bは、半導体基板1の主表面に間隔を隔てて形成されたn型の不純物領域5b、5cと、この不純物領域5b、5c間のチャネル領域上にゲート絶縁膜9を介在して形成されたゲート電極11cを有している。

【0052】一方、フィールド酸化膜3上には、他のトランスファークゲートトランジスタのゲート電極11a、11dが延在している。ゲート電極11a、11b、11c、11dを覆うように酸化膜13がそれぞれ形成されている。不純物領域5b上には、この不純物領域5bと電気的に接続される、多結晶シリコンなどからなる埋込ビット線16が形成されている。この埋込ビット線16は、その端部が不純物領域5bに近接する酸化膜13上にまで延在するように形成されている。

【0053】この埋込ビット線16および酸化膜13を覆うように第1の層間絶縁膜15が形成されている。この第1の層間絶縁膜15には平坦化処理が施されており、その上面はほぼ平坦な状態となっている。また、この第1の層間絶縁膜15には、所定位置にコンタクトホール17が設けられている。このコンタクトホール17は、不純物領域5a、5c上に位置する部分に設けられている。

【0054】このコンタクトホール17内には、プラグ18が形成されている。プラグ18の材質としては、不

純物の導入された多結晶シリコンなどを挙げることができる。このプラグ18の上面は、コンタクトホール17内に埋没した状態となっている。これは、従来例で説明したように、プラグ18の形成の際に、オーバーエッチング処理が施されるからである。したがって、このプラグ18上の領域においては、プラグ18上面と第1の層間絶縁膜15の上面との間に段差が形成されることになる。

【0055】第1の層間絶縁膜15上には、キャパシタ20が形成される。プラグ18上面から第1の層間絶縁膜15上面にわたってバリア層19が形成される。このバリア層19の材質としては、TiN、Ta、Ti/TiN/Tiなどを挙げることができる。このバリア層19は、プラグ18上面と第1の層間絶縁膜15上面との段差部上にも形成されているため、このバリア層19には、その段差部上において、局所的に膜厚が薄くなる部分が存在する。これは、バリア層19が主にスパッタリング法によって形成されるからである。

【0056】バリア層19上には、キャパシタの下部電極21が形成される。このキャパシタの下部電極21は、Ir、Pt、Pd、Ph、Ni、W、Pt合金、Pd合金、Ph合金、Ni合金、W合金、RuO<sub>2</sub>、ReO<sub>2</sub>、SrRuO<sub>3</sub>から選ばれる少なくとも1種以上の材質により構成されることが好ましい。それにより、キャパシタ下部電極21上に、下記の高誘電体膜23を形成することが可能となる。また、この下部電極21の膜厚は、好ましくは、約500Å～約2000Å程度である。

【0057】下部電極21上には、高誘電率材料からなる高誘電体膜23が形成される。高誘電体膜23の材質としては、(Ba, Sr)TiO<sub>3</sub> (STO)、(Pb, La)(Zr, Ti)O<sub>3</sub>、PZTなどを挙げることができる。また、高誘電体膜23は、ペロブスカイト型の結晶構造を有する多結晶膜であることが好ましい。それにより、キャパシタ容量を増大させかつキャパシタの信頼性を向上させることが可能となる。また、この高誘電体膜23の膜厚は、好ましくは、約500Å～1000Å程度である。なお、この高誘電体膜23としては、他のペロブスカイト型高誘電率材料を用いてもよい。また、高誘電体膜23は、上記の材料の積層膜であってもよい。

【0058】高誘電体膜23上にはキャパシタの上部電極25が形成される。このとき、上部電極25は、プラグ18上面と第1の層間絶縁膜15上面との段差部を避けて形成されることになる。すなわち、上部電極25は、第1の層間絶縁膜15上においてほぼ平坦な領域上のみ形成されることになる。それにより、キャパシタ20となる下部電極21と高誘電体膜23と上部電極25との積層構造は、第1の層間絶縁膜15上面上におけるほぼ平坦な部分上のみ形成されることになる。

【0059】キャパシタ20を覆うように第2の層間絶縁膜27が形成されている。この第2の層間絶縁膜27には、上部電極25上に位置する部分にコンタクトホール29が設けられている。そして、このコンタクトホール29内表面および第2の層間絶縁膜27上面上には、配線層31が形成される。この配線層31の材質としては、アルミニウム(Al)、タングステン(W)、タングステンシリサイド(WSi)、銅(Cu)などを挙げることができる。

【0060】次に、図2を参照して、本実施例におけるプラグ18とキャパシタ20の上部電極25との平面的な位置関係について説明する。図2を参照して、上述のように、上部電極25は、プラグ18の形成領域上を回避するように形成される。それにより、第1の層間絶縁膜15上面上において、ほぼ平坦な領域上のみキャパシタ20を形成することが可能となる。なお、図2において、I-I線に沿って見た断面が図1に示される断面と対応する。

【0061】次に、図3を用いて、キャパシタ20の構造についてより詳しく説明する。図3を参照して、下部電極21は、プラグ18の上面上にまで延在しているが、キャパシタ20として機能するのは、第1の層間絶縁膜15の上面15a上の平坦な領域に形成された部分のみである。

【0062】したがって、キャパシタ20内においては、下部電極21は、平坦な表面を有している。この平坦な表面上に高誘電体膜23が形成されることになる。したがって、この平坦な表面上に形成される高誘電体膜23の膜厚t2は、キャパシタ内においてほぼ均一になる。

【0063】それにより、高誘電体膜23の膜厚t2を、高誘電体膜23としての下限の膜厚に均一に設定することが可能となる。ここで、高誘電体膜23の下限の膜厚とは、キャパシタ20における漏れ電流あるいは耐圧などの点から高誘電体膜23に要求される最低限の膜厚のことを言うものとする。

【0064】それにより、従来に比べて、キャパシタ20における高誘電体膜23の膜厚を薄くすることが可能となる。それにより、従来よりもキャパシタ容量を増大させることが可能となる。

【0065】次に、図4～図7を用いて、この発明に基づく第1の実施例におけるDRAMの製造方法について説明する。図4～図7は、この発明に基づく第1の実施例におけるDRAMの製造工程の第7工程～第10工程を示す部分断面図である。なお、第1工程～第6工程については、従来例と同様の工程を経るため、図示および説明は省略する。

【0066】まず図4を参照して、従来例と同様の工程を経て、上部電極25までを形成する。次に、図5を参照して、上部電極25上に、所定形状にパターンニングさ



れたレジストパターン32を形成する。そして、このレジストパターン32をマスクとして用いて、上部電極25、高誘電体膜23、下部電極21およびバリア層19を順次パターンニングする。

【0067】次に、図6を参照して、キャパシタの形状、すなわちプラグ18上面上に位置する上部電極25を露出せさるようレジストパターン33を形成する。そして、このレジストパターン33をマスクとして用いて、ドライエッチング法によって、上部電極25を選択的にエッチングする。それにより、プラグ18上面上の領域における上部電極25を除去する。それにより、キャパシタ20が形成される。

【0068】次に、図7を参照して、CVD法などを用いて、キャパシタ20を覆うように第2の層間絶縁膜27を形成する。そして、この第2の層間絶縁膜27において、上部電極25上に位置する部分にコンタクトホール29を形成する。そして、このコンタクトホール29内表面および第2の層間絶縁膜27上面上に、スパッタリング法などを用いて、配線層31を形成する。以上の工程を経て図1に示されるDRAMが形成されることになる。

【0069】次に、上記の第1の実施例の製造方法の変形例について説明する。図8は、上記の第1の実施例の製造方法の変形例を示す断面図である。図8を参照して、上記の製造方法においては、レジストパターン33をマスクとして用いて、上部電極25のみを選択的にエッチングした。しかし、高誘電体膜23をも選択的に除去してもよい。それにより、高誘電体膜23は、コンタクトホール17が形成されていない領域上に位置する下部電極21上に形成されることになる。

【0070】(第2実施例) 次に、図9～図19を用いて、この発明に基づく第2の実施例におけるDRAMについて説明する。図9は、この発明に基づく第2の実施例におけるDRAMのメモリセルアレイ部を示す部分断面図である。図10は、第2の実施例におけるプラグ18aとキャパシタ20aとの配置関係を模式的に示す平面図である。図11は、第2の実施例における下部電極21の形状を示す平面図である。

【0071】まず図9～図11を用いて、第2の実施例におけるDRAMの構造について説明する。

【0072】上記の第1の実施例においては、プラグ18とキャパシタの下部電極21とが電気的に接続されていた。しかし、本実施例においては、図9に示されるように、上部電極25とプラグ18aとが、配線層37によって電気的に接続されている。すなわち、上記の第1の実施例に対して、上部電極25と下部電極21とが逆転した状態となっている。このような構成を有することによって以下のような効果を奏する。

【0073】上記の第1の実施例において、プラグ18として多結晶シリコンを用い、下部電極21としてプラ

チナ(Pt)を用いた場合、後の工程で高温の処理が施された場合にこれらが反応してプラチナシリサイドになるおそれがある。また、場合によっては高誘電体膜23材料、下部電極21材料、プラグ18材料の相互拡散の起きる場合もある。

【0074】このような相互拡散を防止するために、プラグ18と下部電極21との間にバリア層19を設ける必要がある。しかし、バリア層を設けた場合であっても、処理温度が高すぎると相互拡散が生じてしまう。より具体的には、600℃以上の高温処理が施された場合には、相互拡散が生じる可能性が高くなる。また、バリア層19を酸素が透過してプラグ18が酸化される可能性も高くなる。

【0075】一般に、キャパシタ形成工程およびそれ以降の工程においては、高誘電体膜23の形成工程が温度が最も高温かつ長時間の工程になる。

【0076】一方、高誘電体膜23にとっては、たとえば比誘電率などの特性を良好なものとするためには、600℃以上の高温で処理することが好ましい。図28には、スパッタリング法によって高誘電体膜23を形成した場合の基板温度と比誘電率との関係が示されている。この図に示されるように、約600℃以上の温度で高誘電体膜23を形成することによって、高誘電体膜23の比誘電率が向上する。しかし、上記のような相互拡散やプラグ18の酸化の問題があるため、従来例においては、高誘電体膜23の形成温度を約550℃程度以下と低く設定するなどの対策がとられる必要があった。

【0077】しかし、本実施例によれば、高誘電体膜23の形成の後に上部電極25とプラグ18aとを配線層37によって電気的に接続することが可能となる。それにより、下部電極21とプラグ18aとの間の反応等を考慮せずに、たとえば600℃以上の高温で高誘電体膜23を形成することが可能となる。それにより、高誘電体膜23の膜質を向上させることが可能となり、信頼性が高くかつ高性能なデバイスが得られる。

【0078】また、図9に示されるように、本実施例においては、第1および第2の層間絶縁膜15、27を貫通するようにコンタクトホール17aが設けられ、このコンタクトホール17a内にプラグ18aが形成されている。また、各キャパシタ20aを構成する下部電極21、高誘電体膜23、上部電極25は、すべて第1の層間絶縁膜15上面上に形成されている。そして、各キャパシタ20aは、下部電極21によって相互に電気的に接続されている。それ以外の構造に関しては、図1に示される第1の実施例におけるDRAMと同様である。

【0079】次に、図10を用いて、プラグ18aとキャパシタ20aとの平面的な位置関係について説明する。なお、図10において、IX-IX線に沿って見た断面が、図9に示される断面に対応する。

【0080】図10を参照して、本実施例においても、

プラグ18a形成領域上を回避するようにキャパシタ20aは形成されている。それにより、各キャパシタ20aは、第1の層間絶縁膜15上面におけるほぼ平坦な部分上にのみ形成されることになる。それにより、上記の第1の実施例の場合と同様に、高誘電体膜23の膜厚を従来よりも薄くすることが可能となる。それにより、キャパシタ20a容量を、従来よりも増大させることが可能となる。

【0081】次に、図11を用いて、下部電極21の平面構造について説明する。なお図11において、1X-1X線に沿って見た断面が、図9に示される断面に対応する。図11を参照して、本実施例における下部電極21には、プラグ18a形成領域上に、開口部21aが形成されている。各キャパシタ20aは、この下部電極21によって相互に電氣的に接続されることになる。

【0082】次に、図12～図19を用いて、上記の第2の実施例におけるDRAMの製造方法について説明する。図12～図19は、この発明に基づく第2の実施例におけるDRAMの製造工程の第4工程～第11工程を示す部分断面図である。なお、本実施例の製造方法における第1工程～第3工程は、従来例と同様であるため図示および説明は省略する。

【0083】図12を参照して、従来例と同様の工程を経て、第1の層間絶縁膜15までを形成する。なお、第1の層間絶縁膜15の上面は、SOG技術と全面エッチング処理とを組み合わせるなどして、平坦化されている。このように平坦化された第1の層間絶縁膜15上に、スパッタリング法などを用いて、下部電極21を形成する。この下部電極21の材質としては、プラチナ(Pt)などを挙げることができる。下部電極21の膜厚に関しては、上記の第1の実施例と同様である。

【0084】次に、下部電極21上に、反応性スパッタリング法やLPCVD法などを用いて、高誘電体膜23を形成する。この高誘電体膜23の材質、膜厚については、上記の第1の実施例と同様である。次に、この高誘電体膜23上に、スパッタリング法などを用いて上部電極25を形成する。この上部電極25の材質としては、プラチナ(Pt)などを挙げることができる。また、この上部電極25の膜厚も、上記の第1の実施例の場合と同様である。

【0085】このとき、高誘電体膜23の形成に際しては、上記の第1の実施例の場合とは違って、まだプラグ18aが形成されていない。したがって、第1実施例の場合のように、プラグ18aと下部電極21あるいは上部電極25間の相互拡散を考慮しなくてもよくなる。それにより、600℃以上の高温で高誘電体膜23を形成することが可能となる。それにより、比誘電率が高くかつリーク電流の小さい膜質の良好な多結晶の高誘電体膜23が得られる。

【0086】次に、図13を参照して、上部電極25上

に、キャパシタ20aの形状にパターンニングにされたレジストパターン40を形成する。そして、このレジストパターン40をマスクとして用いて、上部電極25および高誘電体膜23を選択的にエッチングする。その後、レジストパターン40を除去する。

【0087】次に、図14を参照して、プラグ18a形成領域上に開口部を有するレジストパターン41を、上部電極25上および下部電極21上に形成する。そして、このレジストパターン41をマスクとして用いてエッチングすることによって、下部電極21をパターンニングする。それにより、図11に示される平面形状を有する下部電極21が形成される。それにより、第1の層間絶縁膜15上に、キャパシタ20aが形成される。下部電極21が上記のような構造を有するため、各キャパシタ20aは、下部電極21によって相互に電氣的に接続される。

【0088】次に、図15を参照して、CVD法などを用いて、キャパシタ20aを覆うように、第2の層間絶縁膜27を形成する。そして、図16に示されるように、第1および第2の層間絶縁膜15、27に、不純物領域5a、5c表面に至るコンタクトホール17aを形成する。

【0089】次に、図17を参照して、コンタクトホール17a内表面および第2の層間絶縁膜27上面上に、CVD法などを用いて、多結晶シリコンなどからなる導電層を形成する。そしてこの導電層にエッチバック処理を施す。それにより、コンタクトホール17a内に、プラグ18aを形成する。

【0090】このとき、第2の層間絶縁膜27上面上に上記の導電層の残渣が残らないようにするため、オーバーエッチング処理が施される。そのため、プラグ18aの上面は、コンタクトホール17a内に埋没している。なお、プラグ18aの材質としては、TiNなどを使用してもよい。

【0091】次に、図18を参照して、第2の層間絶縁膜27において、上部電極25上に位置する部分に、コンタクトホール29を形成する。次に、図19を参照して、スパッタリング法などを用いて、プラグ18a上面上、コンタクトホール29内表面および第2の層間絶縁膜27上面上に、バリア層35を形成する。このバリア層35の材質としては、TiNなどを挙げることができる。

【0092】このバリア層35上に、スパッタリング法などを用いて、配線層37を形成する。そして、上記の配線層37およびバリア層35を所定形状にパターンニングする。それにより、図9に示されるように、プラグ18aとキャパシタ20aの上部電極25とを電氣的に接続する配線層37が形成される。以上の工程を経て図9に示されるDRAMが形成されることになる。

【0093】(第3実施例) 次に、図20～図27を用

いて、この発明に基づく第3の実施例について説明する。図20は、この発明に基づく第3実施例におけるDRAMのメモリセルアレイ部を示す部分断面図である。図21は、図20に示される本実施例におけるDRAMの平面図である。

【0094】図20を参照して、本実施例におけるDRAMにおいては、第1の層間絶縁膜15が、約3000Å〜約10000Åの膜厚を有する層間絶縁膜15aと約3000Å〜約10000Åの膜厚を有する層間絶縁膜15bとによって構成されている。また、キャパシタ下部電極21は、コンタクトホール17上を除く層間絶縁膜15bの上面全面に形成され、このキャパシタ下部電極21上面全面に高誘電体膜23が形成される。そして、コンタクトホール17内から高誘電体膜23の表面上にまで延在するように、プラグ電極18の機能をも有するキャパシタ上部電極40が形成されている。このキャパシタ上部電極の材質としてはTiNなどを挙げることができる。

【0095】コンタクトホール17の上端角部上には、キャパシタ上部電極40とキャパシタ下部電極21とを絶縁分離するためのサイドウォール絶縁膜41が形成されている。このサイドウォール絶縁膜41の材質としては、シリコン窒化膜などの絶縁膜を挙げることができる。キャパシタ上部電極40を覆うように第2の層間絶縁膜42が形成される。この第2の層間絶縁膜42の材質としては、シリコン酸化膜などを挙げることができる。それ以外の構造に関しては図1に示される第1の実施例におけるDRAMと同様である。

【0096】上述のように、キャパシタ上部電極40に、プラグ電極18の機能をも持たせることによって、プラグ電極18の形成工程を省略することが可能となる。それにより、製造コストを低減することが可能となる。

【0097】また、プラグ電極18の形成を省略できるので、プラグ電極18とキャパシタ20の一方の電極との間に、プラグ電極18の材質とキャパシタ20の一方の電極の材質との相互拡散を防止するためのバリア層を形成する必要がなくなる。それにより、メモリセルアレイ部の高さを、上記の各場合よりも低く抑えることが可能となる。それにより、メモリセルアレイ部と周辺回路部との段差を小さく抑えることが可能となる。

【0098】さらに、キャパシタ上部電極40を上述のような構造とすることによって、高誘電体膜23の形成の後に、プラグの機能をも有するキャパシタ上部電極40を形成することが可能となる。それにより、上述の第2の実施例の場合と同様に、高誘電体膜23を600℃以上の高温で形成することが可能となる。それにより、特性の優れた高誘電体膜23を形成することも可能となる。

【0099】次に、図21を用いて、本実施例における

DRAMのメモリセルアレイ部の平面構造について説明する。図21を参照して、キャパシタ下部電極21は、コンタクトホール17の形成領域を除く層間絶縁膜15bの上面全面に形成されている。つまり、このキャパシタ下部電極21がセルプレート電極としての機能を有することとなる。そして、このキャパシタ下部電極21表面上全面には高誘電体膜23（図示せず）が形成されている。コンタクトホール17の上端角部上には、このコンタクトホール17を取囲むようにシリコン窒化膜などからなるサイドウォール絶縁膜41が形成されている。そして、コンタクトホール17内からキャパシタ下部電極21の上方に延在するようにキャパシタ上部電極40が形成される。それにより、コンタクトホール17上を除く層間絶縁膜15bの上面全面にのみ、コンタクトホール17を取囲むようにキャパシタ20が形成されることになる。それにより、上述の第1の実施例の場合と同様の効果が得られる。

【0100】次に、図22〜図27を用いて、本実施例におけるDRAMのメモリセルアレイ部の製造方法について説明する。図22〜図27は、本実施例におけるDRAMの製造工程の第4工程〜第9工程を示す部分断面図である。

【0101】まず図22を参照して、上記の第1の実施例と同様の工程を経て、酸化膜13までを形成する。そして、この酸化膜13を覆うようにCVD法などを用いて、シリコン酸化膜などからなる層間絶縁膜15aを形成する。この層間絶縁膜15aに不純物領域5b表面に達するコンタクトホール17aを形成する。そして、このコンタクトホール17a内に埋込ビット線16を形成する。この埋込ビット線16を覆うように層間絶縁膜15a上に、CVD法などを用いて、シリコン酸化膜などからなる層間絶縁膜15bを形成する。そして、この層間絶縁膜15bの上面を平坦化する。

【0102】このように平坦化された層間絶縁膜15bの上面全面に、スパッタリング法などを用いて、Ptなどからなるキャパシタ下部電極21を形成する。このとき、必要に応じて、このキャパシタ下部電極21と層間絶縁膜15bとの密着性を向上させるため、Tiなどの導電膜あるいは絶縁膜を、キャパシタ下部電極21と層間絶縁膜15bとの間に介在させてもよい。

【0103】次に、キャパシタ下部電極21上に、反応性スパッタリング法などを用いて、550℃よりも高い温度で高誘電体膜23を形成する。好ましくは、約600℃〜700℃の温度で高誘電体膜23を形成する。このとき、キャパシタ下部電極21の下地は層間絶縁膜15bであるため、上記のような高温で高誘電体膜23を形成することが可能となる。それにより、比誘電率などの特性が向上した多結晶の高誘電体膜23を確実に形成することが可能となる。それにより、キャパシタ容量を増大させることが可能となるとともに、キャパシ

タの信頼性をも向上させることが可能となる。

【0104】また、上記の高誘電体膜23は、LPCVD (Low Pressure Chemical Vapor Deposition) 法を用いて形成してもよい。また、反応性スパッタリング法などを用いてアモルファス状態の高誘電体膜23を形成したのち、ランプアニール処理を施すことによってこの高誘電体膜23を多結晶化してもよい。このときのランプアニール処理の条件は、好ましくは、約600℃以上、30秒程度である。

【0105】次に、図23を参照して、上記の高誘電体膜23とキャパシタ下部電極21とを所定形状にパターンニングする。より具体的には、図20に示されるコンタクトホール17の形成領域における層間絶縁膜15b表面を露出させるように、高誘電体膜23およびキャパシタ下部電極21をパターンニングする。

【0106】次に、図24を参照して、CVD法などを用いて、高誘電体膜23を覆うように層間絶縁膜15b上に、約1000~2000Å程度の厚みを有するシリコン窒化膜41を形成する。このシリコン窒化膜41は、層間絶縁膜15の材質と異なる絶縁材料からなるものであればシリコン窒化膜以外の材質であってもよい。また、このシリコン窒化膜41の他の材質としては、層間絶縁膜15の材質に対して高いエッチング選択比を確保できる絶縁材料を挙げることができる。

【0107】次に、図25を参照して、上記のシリコン窒化膜41に異方性エッチング処理を施すことによって、サイドウォール絶縁膜41を形成する。そして、このサイドウォール絶縁膜41と高誘電体膜23とをマスクとして用いて、層間絶縁膜15a、15bに異方性エッチング処理を施す。それにより、不純物領域5a、5cに達するコンタクトホール17を形成する。

【0108】次に、図27を参照して、CVD法などを用いて、TiN層40を全面に堆積する。このTiN層40は、高誘電体膜23と反応して低誘電率の膜を形成しないようなものであればTiNに限るものではない。たとえば、TiN層40の代わりにPt、RuO<sub>2</sub>などを用いてもよい。

【0109】次に、写真製版技術およびRIE (Reactive Ion Etching) 法による異方性エッチング技術を用いて、TiN層40をパターンニングする。それにより、図20に示されるような形状のキャパシタ上部電極40が形成される。キャパシタ上部電極40をこのような形状とすることによって、キャパシタ20の一方の電極と不純物領域5a、5cとを電氣的に接続するためのブラグ電極を形成する必要がなくなる。それにより、製造工程を簡略化することが可能となる。また、このブラグ電極の形成を省略することによって、キャパシタ20の一方の電極とブラグ電極との間に介在させるべき拡散バリア層を形成する必要もなくなる。

【0110】以上のようにしてキャパシタ上部電極40

を形成した後は、CVD法などを用いて、シリコン酸化膜などからなる第2の層間絶縁膜42を形成する。以上の工程を経て、図20に示される本実施例におけるDRAMが形成されることになる。

【0111】

【発明の効果】以上説明したように、この発明によれば、コンタクトホールが形成されていない層間絶縁膜上面の平坦な領域上のみ、キャパシタを形成することが可能となる。その結果、キャパシタにおける第1の電極の上面をほぼ平坦なものとするのが可能となる。この第1の電極の平坦な上面上に高誘電体膜が形成される。したがって、キャパシタ内において高誘電体膜の膜厚をほぼ均一にすることが可能となる。それにより、高誘電体膜の膜厚を、リーク電流、耐圧などを考慮した場合の下限値の膜厚に設定することが可能となる。

【0112】それに対し、従来例においては、キャパシタは層間絶縁膜上面上からコンタクトホール上の領域にまで形成されていたため、キャパシタの電極表面には、コンタクトホール上における部分に段差部が形成されていた。これは、ブラグ形成の際に不可避免的に、コンタクトホール内におけるブラグ上面と層間絶縁膜上面との間に段差部が形成されていたためである。

【0113】そのため、そのキャパシタの電極表面に形成される高誘電体膜において、その段差部上において局所的に膜厚が薄くなる部分が存在していた。その結果、その局所的に薄くなった膜厚を高誘電体膜の下限値の膜厚と設定せざるを得なかった。したがって、結果として、キャパシタ内における高誘電体膜の膜厚は下限値よりも厚いものとなっていた。

【0114】本発明によれば、高誘電体膜の膜厚を、キャパシタ内において均一にかつ上記の下限値の膜厚に設定することが可能となるため、従来に比べて、キャパシタ内において、高誘電体膜の膜厚を薄くできる。それにより、従来よりもキャパシタ容量を増大させることが可能となる。

【図面の簡単な説明】

【図1】 この発明に基づく第1の実施例におけるDRAMのメモリセルアレイ部を示す断面図である。

【図2】 この発明に基づく第1の実施例におけるブラグとキャパシタとの位置関係を模式的に示す平面図である。

【図3】 この発明に基づく第1の実施例におけるキャパシタの拡大断面図である。

【図4】 この発明に基づく第1の実施例におけるDRAMの製造工程の第7工程を示す断面図である。

【図5】 この発明に基づく第1の実施例におけるDRAMの製造工程の第8工程を示す断面図である。

【図6】 この発明に基づく第1の実施例におけるDRAMの製造工程の第9工程を示す断面図である。

【図7】 この発明に基づく第1の実施例におけるDRAM

AMの製造工程の第10工程を示す断面図である。

【図8】 この発明に基づく第1の実施例におけるDRAMの製造方法の変形例を示す断面図である。

【図9】 この発明に基づく第2の実施例におけるDRAMのメモリセルアレイ部を示す断面図である。

【図10】 この発明に基づく第2の実施例におけるプラグとキャパシタとの平面的な位置関係を示す平面図である。

【図11】 この発明に基づく第2の実施例における下部電極の平面構造を示す平面図である。

【図12】 この発明に基づく第2の実施例におけるDRAMの製造工程の第4工程を示す断面図である。

【図13】 この発明に基づく第2の実施例におけるDRAMの製造工程の第5工程を示す断面図である。

【図14】 この発明に基づく第2の実施例におけるDRAMの製造工程の第6工程を示す断面図である。

【図15】 この発明に基づく第2の実施例におけるDRAMの製造工程の第7工程を示す断面図である。

【図16】 この発明に基づく第2の実施例におけるDRAMの製造工程の第8工程を示す断面図である。

【図17】 この発明に基づく第2の実施例におけるDRAMの製造工程の第9工程を示す断面図である。

【図18】 この発明に基づく第2の実施例におけるDRAMの製造工程の第10工程を示す断面図である。

【図19】 この発明に基づく第2の実施例におけるDRAMの製造工程の第11工程を示す断面図である。

【図20】 この発明に基づく第3の実施例におけるDRAMのメモリセルアレイ部を示す部分断面図である。

【図21】 図20に示される第3の実施例におけるDRAMの平面図である。

【図22】 この発明に基づく第3の実施例におけるDRAMの製造工程の第4工程を示す断面図である。

【図23】 この発明に基づく第3の実施例におけるDRAMの製造工程の第5工程を示す断面図である。

【図24】 この発明に基づく第3の実施例におけるDRAMの製造工程の第6工程を示す断面図である。

【図25】 この発明に基づく第3の実施例におけるDRAMの製造工程の第7工程を示す断面図である。

【図26】 この発明に基づく第3の実施例におけるDRAMの製造工程の第8工程を示す断面図である。

【図27】 この発明に基づく第3の実施例におけるD

RAMの製造工程の第9工程を示す断面図である。

【図28】 高誘電体膜の比誘電率とその形成温度との関係を示す図である。

【図29】 DRAMの一般的な構成を示すブロック図である。

【図30】 従来のDRAMのメモリセルアレイ部の構造の一例を示す断面図である。

【図31】 従来のDRAMにおけるプラグとキャパシタとの位置関係を模式的に示す平面図である。

10 【図32】 従来のDRAMの製造工程の第1工程を示す断面図である。

【図33】 従来のDRAMの製造工程の第2工程を示す断面図である。

【図34】 従来のDRAMの製造工程の第3工程を示す断面図である。

【図35】 従来のDRAMの製造工程の第4工程を示す断面図である。

【図36】 従来のDRAMの製造工程の第5工程を示す断面図である。

20 【図37】 従来のDRAMの製造工程の第6工程を示す断面図である。

【図38】 従来のDRAMの製造工程の第7工程を示す断面図である。

【図39】 従来のDRAMの製造工程の第8工程を示す断面図である。

【図40】 従来のDRAMの製造工程の第9工程を示す断面図である。

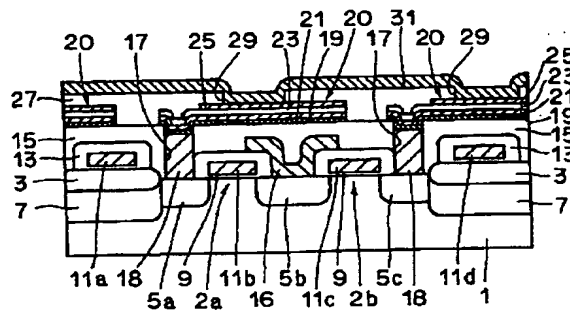
【図41】 従来のDRAMの製造工程の第10工程を示す断面図である。

30 【図42】 従来のDRAMにおけるプラグとキャパシタとの接続部分を拡大した断面図である。

【符号の説明】

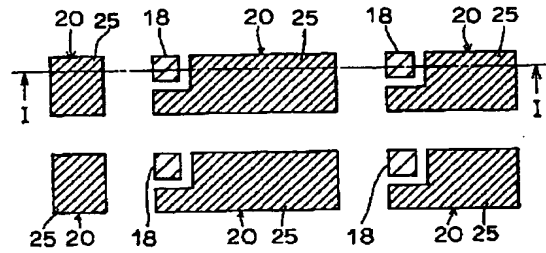
1, 101 半導体基板、2a, 2b, 102a, 102b トランスファークロージングトランジスタ、15, 115 第1の層間絶縁膜、17, 17a, 117コンタクトホール、18, 18a, 118 プラグ、20, 20a, 120キャパシタ、21, 121 下部電極、23, 123 高誘電体膜、25, 40, 125 上部電極、27, 42, 127 第2の層間絶縁膜、41 サイドウォール絶縁膜。

【図1】

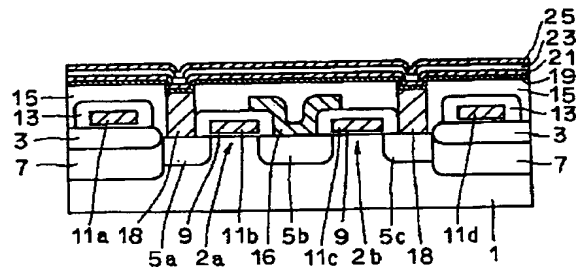


1: 半導体基板 2a, 2b: トランジスタ 5a, 5b, 5c: 不純物領域  
 15: 第1の層間絶縁膜 18: プラグ 19: パリ層 20: キャパシタ  
 21: 下部電極 23: 誘電体膜 25: 上部電極 27: コンタクトホール

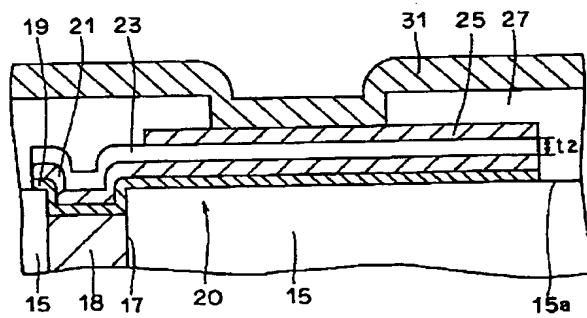
【図2】



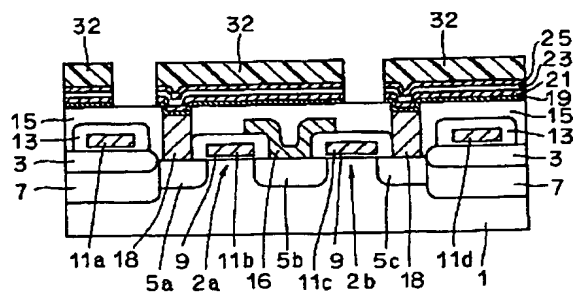
【図4】



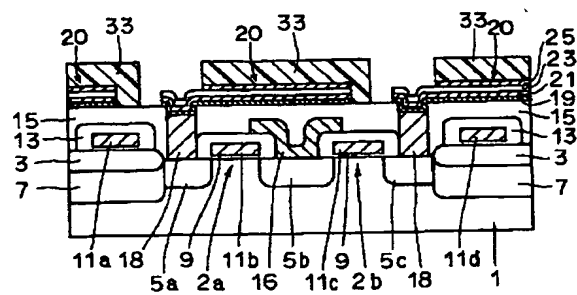
【図3】



【図5】

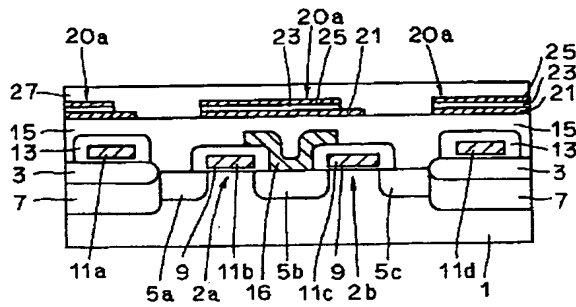


【図6】

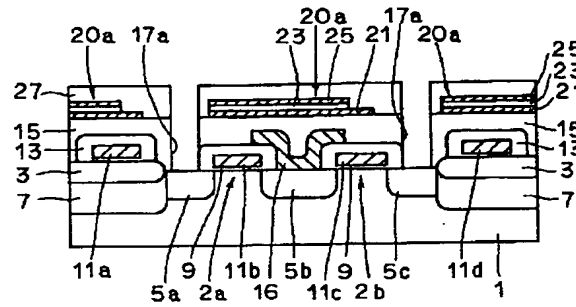




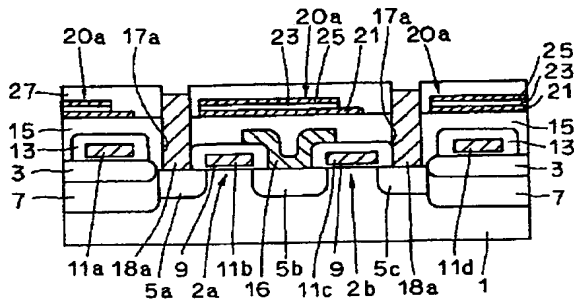
【図15】



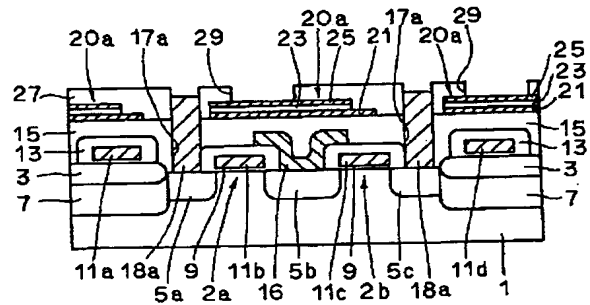
【図16】



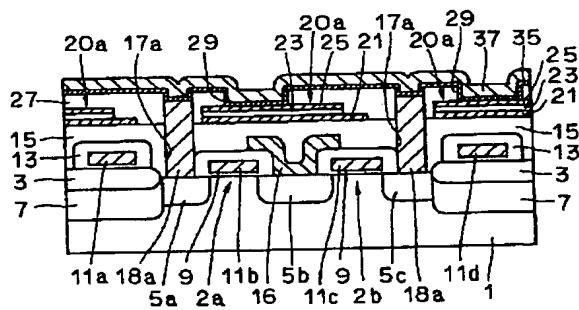
【図17】



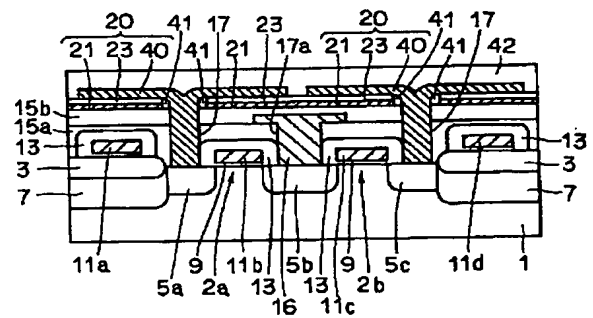
【図18】



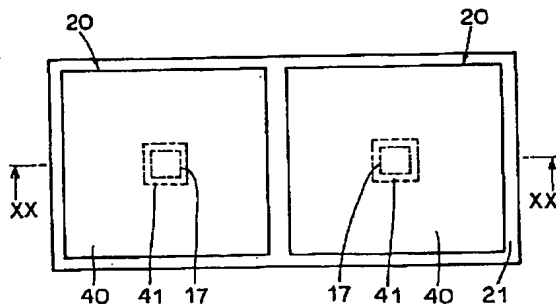
【図19】



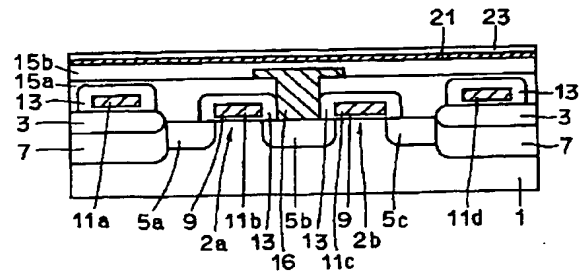
【図20】



【図21】

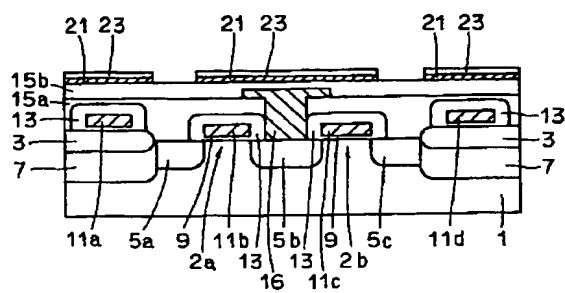


【図22】

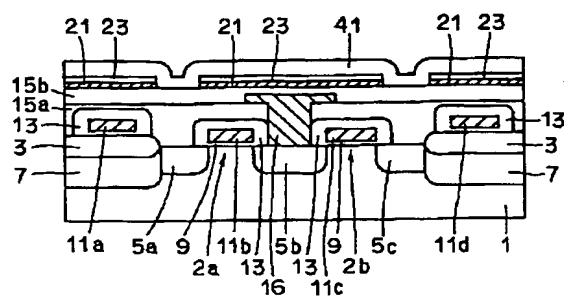




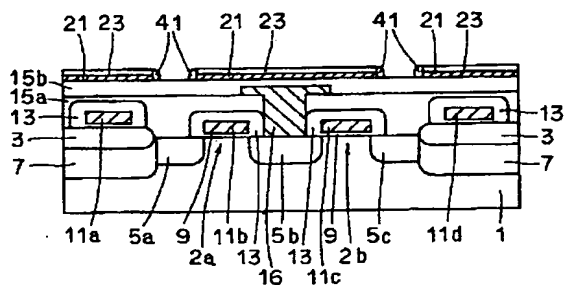
【図23】



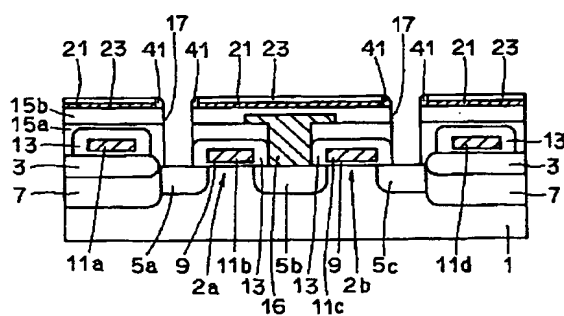
【図24】



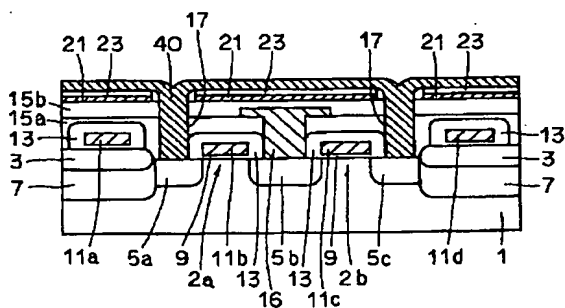
【図25】



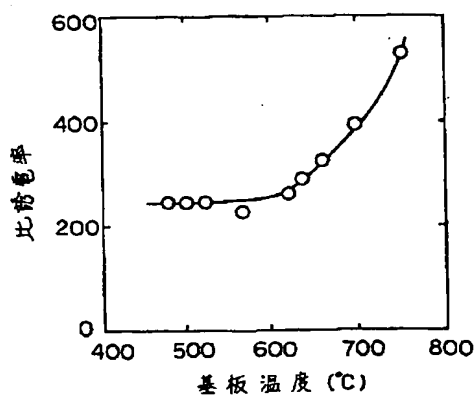
【図26】



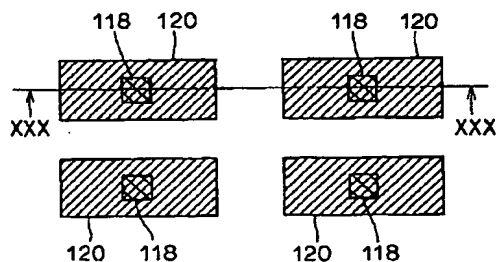
【図27】



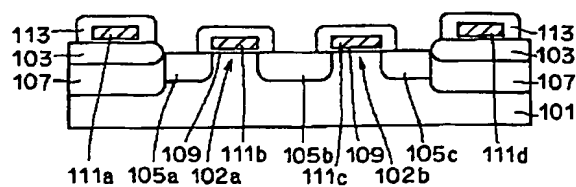
【図28】



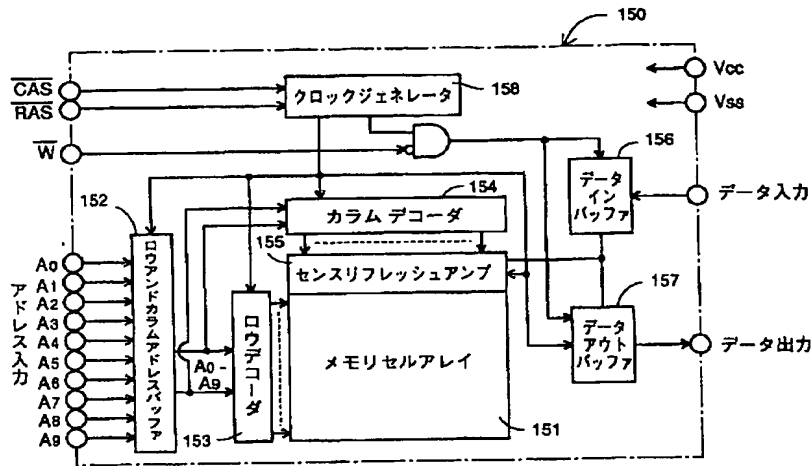
【図31】



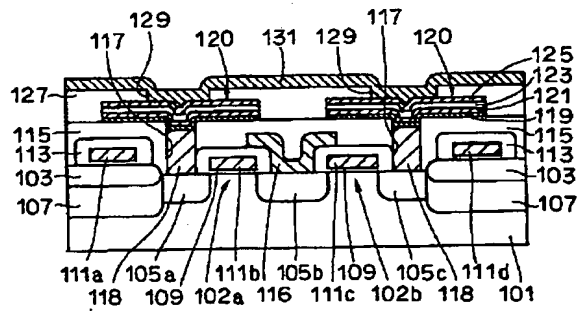
【図32】



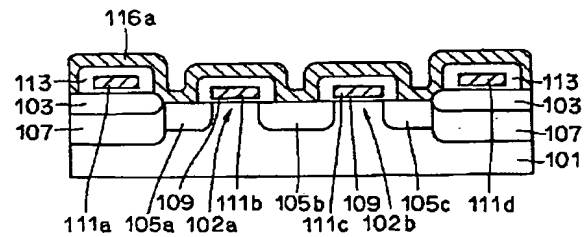
【図29】



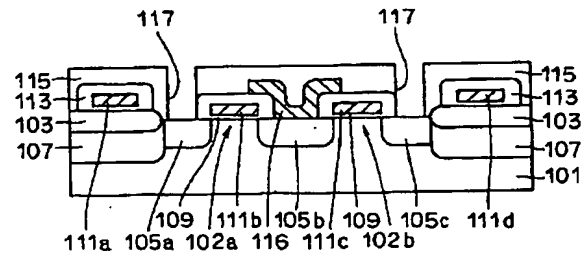
【図30】



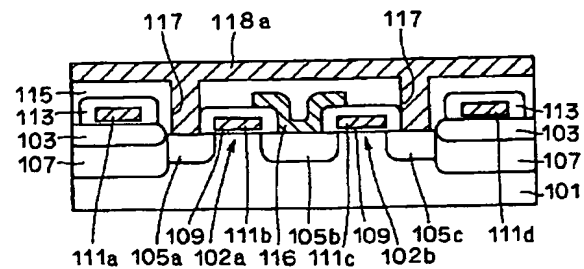
【図33】



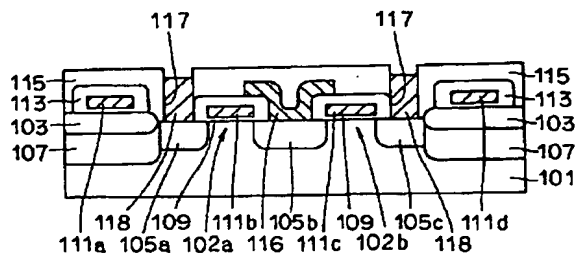
【図35】



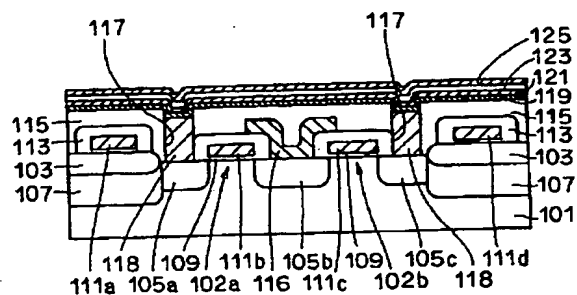
【図36】



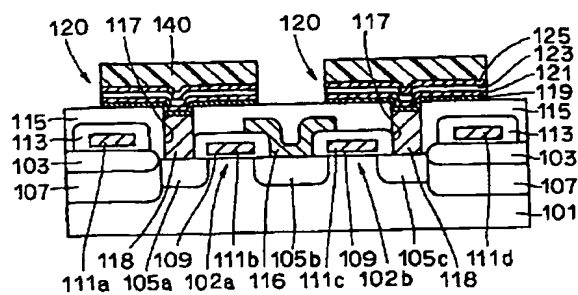
【図37】



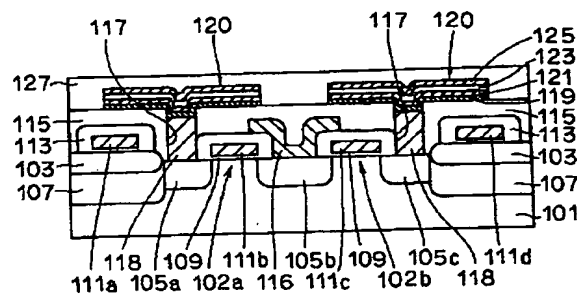
【図38】



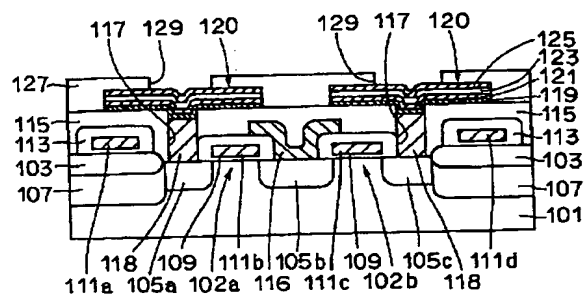
【図39】



【図40】



【図41】



【図42】

